

**ENGENHARIA DE COMPUTAÇÃO**

ARQUITETURA E ORGANIZAÇÃO BÁSICA DE COMPUTADORES — LABORATÓRIO

Exp. N.º4

CONTADORES

Turma: CP300TIN1 (segunda-feira, 19h)

Nome: Douglas Braz Machado — RA: 210034

Nome: João Victor Athayde Grilo — RA: 210491

Nome: Julio Cesar Bonow Manoel — RA: 210375

Professor: Rafael Rodrigues da Paz

Sorocaba / SP

04/04/22

1. **PROCEDIMENTO EXPERIMENTAL**

Tem-se como objetivo principal deste experimento, o estudo prático do Flip-Flop JK e do circuito contador

O software Digital será utilizado para fazer a construção e verificação do funcionamento de dois circuitos contadores, sendo o primeiro um contador de módulo 16 e o segundo um contador de módulo 14.

Para a primeira etapa do experimento, será criado um circuito contador de módulo 16 que será capaz de contar de um a quinze, reiniciando no décimo sexto apertar do botão. Para isto, é colocado um Flip-Flop JKcom seu *CLOCK* invertido por uma *NOT*. Em seguida, o valor constante 1 deve ser conectado as portas J e K. Então, a saída Q é dividida entre um componente de Saída e o *CLOCK* invertido de um outro Flip-Flop JK. Esse processo é repetido quatro vezes de forma que temos quatro Flip-Flop JKconectados uns aos outros pela porta *CLOCK.* Por fim, um botão é adicionado ao *CLOCK* do primeiro Flip-Flop *JK* para dar seguimento à contagem*.* Este circuito pode ser observado à seguir na Figura 1.

Figura 1 – Primeira etapa do experimentoDiagrama

Descrição gerada automaticamente

Fonte: Autoral 2022

Na segunda etapa do experimento será criado um circuito contador de módulo 14 que será capaz de contar de um até treze, reiniciando no décimo quarto pressionar do botão. Para isto, é colocado um Flip-Flop JK Assíncrono em que suas entradas J e K são ligadas a um valor constante 1 e sua entrada *SET* é ligada a um valor constante 0. A saída Q é ligada a um componente de saída e a saída Q barra é ligada a um outro Flip-Flop JK Assíncrono através da entrada *CLOCK* do mesmo. O procedimento é repetido quatro vezes de modo que teremos quatro Flip-Flop JK Assíncronos conectados entre sí através da saída Q barra e o *CLOCK* do Flip-Flop JK Assíncrono seguinte. Então, adicionaremos um porta lógica *AND* e conectamos suas entradas às saídas Q de todos os Flip-Flops com exceção do primeiro, que ao invés de ter esta ligação feita pela saída Q, tem ela realizada pela saída Q barra. Por fim, conectamos a saída da porta *AND* às entradas *CLEAR* de todos os Flip-Flops JK Assíncronos. Este circuito pode ser observado à seguir na Figura 2.

Figura 2 – Segunda etapa do experimentoDiagrama

Descrição gerada automaticamente

Fonte: Autoral 2022

**2. ANÁLISE DE DADOS**

Os resultados obtidos com o experimento estão de acordo com o esperado, o que pode ser verificado a seguir através das figuras dos circuitos em funcionamento e de seus respectivos Gráficos de Dados.

Figura 3 – Circuito contador de módulo 16 em funcionamento.

**Diagrama

Descrição gerada automaticamente**

Fonte: Autoral 2022

Figura 4 – Gráfico de Dados do circuito contador de módulo 16. Diagrama, Desenho técnico

Descrição gerada automaticamente

Fonte: Autoral 2022

Figura 5 – Circuito contador de módulo 14 em funcionamento.

Diagrama

Descrição gerada automaticamente

Fonte: Autoral 2022

Figura 6 – Gráfico de Dados do circuito contador de módulo 14.

Diagrama, Desenho técnico

Descrição gerada automaticamente

Fonte: Autoral 2022